

日 本 国 特 許 庁

JAPAN PATENT OFFICE

3 / Priority Doc.

E. Willis

6-27-02

JC879 U.S. PTO
10/050745
01/16/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月16日

出 願 番 号

Application Number:

特願2001-007673

出 願 人

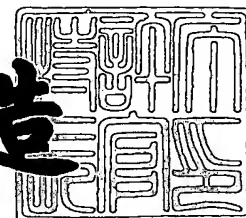
Applicant(s):

株式会社デンソー

2001年12月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3107085

【書類名】 特許願

【整理番号】 N000750

【提出日】 平成13年 1月16日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/02

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 永田 淳一

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100071135

 【住所又は居所】 名古屋市中区栄四丁目6番15号 名古屋あおば生命ビル

 【弁理士】

 【氏名又は名称】 佐藤 強

 【電話番号】 052-251-2707

【手数料の表示】

 【予納台帳番号】 008925

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9200169

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路装置

【特許請求の範囲】

【請求項 1】 外部負荷の一端子が接続される出力端子と、
外部電源の一端子が接続される第 1 および第 2 の電源端子と、
前記出力端子と前記第 1 の電源端子との間に接続され、前記外部負荷および前記外部電源とともに負荷通電経路を構成するスイッチング素子と、
前記出力端子と前記第 2 の電源端子との間に接続されたインピーダンス回路と、
前記出力端子の電圧を監視し、その監視電圧に基づいて異常状態を検出する異常検出回路と、
前記スイッチング素子を駆動制御する駆動制御回路とを備えて構成されていることを特徴とする集積回路装置。

【請求項 2】 外部負荷の一端子が接続される第 1 および第 2 の出力端子と、
外部電源の一端子が接続される電源端子と、
前記第 1 の出力端子と前記電源端子との間に接続され、前記外部負荷および前記外部電源とともに負荷通電経路を構成するスイッチング素子と、
前記第 2 の出力端子と前記電源端子との間に接続されたインピーダンス回路と、
前記第 1 の出力端子の電圧を監視し、その監視電圧に基づいて異常状態を検出する異常検出回路と、
前記スイッチング素子を駆動制御する駆動制御回路とを備えて構成されていることを特徴とする集積回路装置。

【請求項 3】 外部負荷の一端子が接続される出力端子と外部電源の一端子が接続される電源端子とを有するパッケージと、
そのパッケージ内に封止され、前記出力端子に接続された出力用パッドおよび前記電源端子に接続された第 1 および第 2 の電源用パッドを有するチップとを備え、

前記チップは、

前記出力用パッドと前記第1の電源用パッドとの間に接続され、前記外部負荷および前記外部電源とともに負荷通電経路を構成するスイッチング素子と、

前記出力用パッドと前記第2の電源用パッドとの間に接続されたインピーダンス回路と、

前記出力用パッドの電圧を監視し、その監視電圧に基づいて異常状態を検出する異常検出回路と、

前記スイッチング素子を駆動制御する駆動制御回路とを備えて構成されていることを特徴とする集積回路装置。

【請求項4】 外部負荷の一端子が接続される出力端子と外部電源の一端子が接続される電源端子とを有するパッケージと、

そのパッケージ内に封止され、前記出力端子に接続された第1および第2の出力用パッドおよび前記電源端子に接続された電源用パッドを有するチップとを備え、

前記チップは、

前記第1の出力用パッドと前記電源用パッドとの間に接続され、前記外部負荷および前記外部電源とともに負荷通電経路を構成するスイッチング素子と、

前記第2の出力用パッドと前記電源用パッドとの間に接続されたインピーダンス回路と、

前記出力用パッドの電圧を監視し、その監視電圧に基づいて異常状態を検出する異常検出回路と、

前記スイッチング素子を駆動制御する駆動制御回路とを備えて構成されていることを特徴とする集積回路装置。

【請求項5】 外部負荷の一端子が接続される出力端子と、

外部電源の一端子が接続される電源端子と、

前記出力端子と前記電源端子との間に接続され、前記外部負荷および前記外部電源とともに負荷通電経路を構成するスイッチング素子と、

前記出力端子と前記電源端子との間に直列に接続されたインピーダンス回路およびスイッチ回路と、

前記出力端子の電圧を監視し、その監視電圧に基づいて異常状態を検出する異常検出回路と、

前記スイッチング素子を駆動制御する駆動制御回路と、

前記駆動制御回路に動作電源電圧が供給されていることを条件として前記スイッチ回路を閉状態とする開閉制御回路とを備えて構成されていることを特徴とする集積回路装置。

【請求項 6】 前記開閉制御回路は、

前記駆動制御回路に供給される動作電源電圧が基準電圧以上である場合に前記スイッチ回路を閉状態に制御することを特徴とする請求項 5 記載の集積回路装置。

【請求項 7】 前記スイッチ回路はトランジスタから構成され、

前記開閉制御回路は、

前記駆動制御回路に供給される動作電源電圧を分圧する分圧回路と、

この分圧回路から出力される分圧電圧と前記基準電圧とを比較する比較回路と

この比較回路から出力される比較信号に応じて前記トランジスタを駆動する駆動回路とから構成されていることを特徴とする請求項 6 記載の集積回路装置。

【請求項 8】 前記スイッチ回路はトランジスタから構成され、

前記開閉制御回路は、前記駆動制御回路に供給される動作電源電圧を分圧し、その分圧電圧を前記トランジスタの制御端子に印加するように構成されていることを特徴とする請求項 5 記載の集積回路装置。

【請求項 9】 前記インピーダンス回路は抵抗素子であることを特徴とする請求項 1 ないし 8 の何れかに記載の集積回路装置。

【請求項 10】 外部負荷の一端子が接続される出力端子と、

外部電源の一端子が接続される電源端子と、

前記出力端子と前記電源端子との間に接続され、前記外部負荷および前記外部電源とともに負荷通電経路を構成するスイッチング素子と、

前記出力端子の電圧を監視し、その監視電圧に基づいて異常状態を検出する異常検出回路と、

前記スイッチング素子を駆動制御する駆動制御回路と、

前記出力端子と前記電源端子との間に接続され、前記駆動制御回路に動作用電源電圧が供給されていることを条件として定電流動作を行う定電流回路とを備えて構成されていることを特徴とする集積回路装置。

【請求項 1 1】 前記定電流回路は、

カレントミラー回路と、

このカレントミラー回路の入力端に接続され前記動作用電源電圧の供給を受けた状態で定電流を出力する定電流発生回路とから構成されていることを特徴とする請求項 1 0 記載の集積回路装置。

【請求項 1 2】 前記定電流回路は、

カレントミラー回路と、

このカレントミラー回路の入力端に定電流を供給する定電流発生回路と、

前記駆動制御回路に供給される動作用電源電圧が基準電圧以下である場合に前記カレントミラー回路の共通制御端子に電流出力停止信号を与える電流制御回路とから構成されていることを特徴とする請求項 1 0 記載の集積回路装置。

【請求項 1 3】 前記出力端子と前記定電流回路との間に、保護用の抵抗素子が接続されていることを特徴とする請求項 1 0 ないし 1 2 の何れかに記載の集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、出力端子の電圧に基づいて短絡、断線などの異常状態を検出する異常検出回路を備えた集積回路装置に関する。

【0 0 0 2】

【従来の技術】

この種の集積回路装置（IC）の従来構成について、電氣的構成を示す図 9 を参照しながら説明する。車載制御機器に使用される IC 1 は、外部電源 2（バッテリー）から負荷 3（例えばソレノイド）に流れる電流を通断電する負荷駆動回路を備えた IC で、その出力端子 4 と電源端子 5 との間にスイッチング素子である

MOSトランジスタ6が接続されている。ゲート駆動回路7は、電源端子8、5間に与えられる上記外部電源2の電圧 V_B により動作し、入力端子9を介してCPU10から与えられる指令信号 S_a に従って、上記MOSトランジスタ6をオンオフ駆動するようになっている。

【0003】

異常検出回路11は、基準電圧 V_r を生成する分圧抵抗12、13と、生成された基準電圧 V_r と出力端子4の電圧 V_o （出力電圧 V_o ）とを比較するコンパレータ14とから構成されている。コンパレータ14から出力される比較信号 S_c は、端子15を介して上記CPU10に与えられるようになっている。IC1は基板上に実装されて用いられ、その基板上においてIC1の出力端子4と電源端子5との間には外付けの抵抗16が接続されている。

【0004】

さて、負荷3およびMOSトランジスタ6が正常の場合、MOSトランジスタ6がオンすると、出力電圧 V_o はほぼ0Vとなり、比較信号 S_c はLレベルになる。また、MOSトランジスタ6がオフすると、出力電圧 V_o は電源電圧 V_B にほぼ等しくなり、比較信号 S_c はHレベルになる。

【0005】

これに対し、負荷3の両端子間が短絡した異常状態の場合においては、MOSトランジスタ6のオンオフ状態にかかわらず、出力電圧 V_o は電源電圧 V_B に等しくなり、比較信号 S_c は常にHレベルとなる。また、負荷3が断線した異常状態の場合においては、MOSトランジスタ6のオンオフ状態にかかわらず出力電圧 V_o は0Vとなり、比較信号 S_c は常にLレベルとなる。MOSトランジスタ6のオフ状態において出力電圧 V_o が0Vになるのは、抵抗16が出力端子4の電位を電源端子5の電位（0V）に固定するように作用するためである。その結果、CPU10は、指令信号 S_a と比較信号 S_c とに基づいて負荷3の異常を検出できる。なお、MOSトランジスタ6の異常状態についてもほぼ同様にして検出できる。

【0006】

【発明が解決しようとする課題】

ところで、上述したように、基板上に実装された抵抗16は、負荷3の断線異常時等において出力端子4の電位を固定するために必要不可欠なものである。また、図9には1チャンネル分の負荷駆動回路のみを示したが、例えば実際の車載用のIC1等においては駆動すべき負荷3（ソレノイドに限らずリレーコイルやランプ負荷など）が多数存在し、一つのIC1は複数例えば30チャンネル分の負荷駆動回路を備えている。その結果、基板上には、IC1の他にそのチャンネル数に等しい数の抵抗16が実装されることになり、部品コストの上昇や基板面積の増大を招いてしまう。

【0007】

この問題を回避するためには、抵抗16をIC1に内蔵することが考えられるが、上述のIC1においては以下の理由により内蔵することができなかった。すなわち、一般にICに作り込まれたトランジスタ特に上記負荷駆動回路を構成するような比較的電流容量の大きいトランジスタに対しては、ウエハテストおよびパッケージテストにおいて所定のテスト電圧が印加され、そのドレイン・ソース間のリーク電流の測定が行われる。

【0008】

外付けの抵抗16に代えてIC1に抵抗17（図9において破線で示す）を内蔵した構成の場合、IC1の外部から出力端子4と電源端子5とを介して測定される電流は、MOSトランジスタ6のドレイン・ソース間のリーク電流と抵抗17に流れる電流との合成電流となる。しかも、上記テスト電圧が印加された状態では、MOSトランジスタ6のリーク電流（例えば $1\mu\text{A}$ 以下）は、抵抗17に流れる電流（例えば $100\mu\text{A}$ ）よりもはるかに小さいため、MOSトランジスタ6のリーク電流の測定は困難となる。このため、ウエハテストおよびパッケージテストをパスしたIC1に対し、基板上において抵抗16を外付けせざるを得なかった。

【0009】

本発明は上記事情に鑑みてなされたもので、その目的は、出力端子の電圧に基づいて外部負荷等の異常状態を検出するために不可欠となる回路を内蔵するとともに、その出力端子に接続された内部のスイッチング素子のリーク電流を正確に

測定できる集積回路を提供することにある。

【0010】

【課題を解決するための手段】

請求項1に記載した手段によれば、実際の使用状態において外部負荷が接続される出力端子と外部電源が接続される第2の電源端子との間にインピーダンス回路が接続されているので、外部負荷が断線したような場合であってもそのインピーダンス回路により出力端子の電位が一定電位に固定される。これにより、異常検出回路は、監視される出力端子の電圧に基づいて断線、短絡などの異常状態を確実に検出することが可能となる。

【0011】

この場合、上記インピーダンス回路は当該集積回路装置に内蔵されているので、基板上にインピーダンス回路を付加する必要がない。このため、特に集積回路装置が多数の外部負荷を駆動する多チャンネル構成の場合には、従来構成の場合と比較してチャンネル数に等しい数の外付けインピーダンス回路部品を削減することができ、部品コストを低減できる。さらに、その削減される部品の面積分だけ基板面積を縮小することができるので、基板コストの低減や本集積回路装置を採用した機器の小形化が図られる。

【0012】

また、本集積回路装置は、出力端子と第1の電源端子との間にスイッチング素子が接続され、出力端子と第2の電源端子との間に上記インピーダンス回路が接続されているので、これらスイッチング素子とインピーダンス回路とは外部から端子を介して見た場合独立した回路構成となっている。そして、本集積回路装置を基板上に実装した状態において初めて第1の電源端子と第2の電源端子とがパターン等により接続された状態となる。従って、集積回路装置のパッケージテストにおいて、出力端子と第1の電源端子との間にテスト電圧を印加することにより、スイッチング素子のリーク電流のみを正確に測定することが可能となる。なお、本手段で言う「端子」とは、パッケージのリードのみならずチップ上に形成されたパッドをも意味するものである。従って、ウエハテストについても、パッケージテストと同様にして正確な測定が可能となる。

【 0 0 1 3 】

請求項 2 に記載した手段は、請求項 1 に記載した手段に対し、電源端子ではなく出力端子を第 1 および第 2 の独立した端子構成とした点が異なる。本手段によっても、請求項 1 に記載した手段と同様の作用および効果が得られる。

【 0 0 1 4 】

請求項 3 に記載した手段によれば、実際の使用状態において、出力端子を介して外部負荷が接続される出力用パッドと電源端子を介して外部電源が接続される第 2 の電源用パッドとの間にインピーダンス回路が接続されることになるので、異常検出回路は、請求項 1 に記載した手段と同様にして断線、短絡などの異常状態を確実に検出することが可能となる。この場合、インピーダンス回路はチップ上に形成されているので、請求項 1 に記載した手段と同様にして外付けインピーダンス回路部品を削減でき、部品コストを低減できるとともに基板面積を縮小できる。

【 0 0 1 5 】

また、本集積回路装置は、チップ上において、出力用パッドと第 1 の電源用パッドとの間にスイッチング素子が形成され、出力用パッドと第 2 の電源用パッドとの間にインピーダンス回路が形成されているので、これらスイッチング素子とインピーダンス回路とはチップの外部からパッドを介して見た場合独立した回路構成となる。そして、チップの各パッドとパッケージの各端子との間をワイヤボンディングすることにより初めて第 1 の電源用パッドと第 2 の電源用パッドとがボンディングワイヤを介して接続された状態となる。従って、ワイヤボンディング前に実施されるウエハテストにおいて、出力用パッドと第 1 の電源用パッドとの間にテスト電圧を印加することにより、スイッチング素子のリーク電流のみを正確に測定することが可能となる。

【 0 0 1 6 】

請求項 4 に記載した手段は、請求項 3 に記載した手段に対し、電源用パッドではなく出力用パッドを第 1 および第 2 の独立した構成とした点が異なる。本手段によっても、請求項 3 に記載した手段と同様の作用および効果が得られる。

【 0 0 1 7 】

請求項5に記載した手段によれば、実際の使用状態つまりスイッチング素子を駆動制御する駆動制御回路に動作電源電圧が供給されている状態で、開閉制御回路によりスイッチ回路が閉じられ、出力端子と電源端子との間にインピーダンス回路が接続された状態となる。従って、実際の使用状態において出力端子の電位が不定となることがなく、断線、短絡などの異常状態を確実に検出することが可能となる。

【0018】

一方、駆動制御回路に動作電源電圧が供給されていない場合例えば集積回路装置のウエハテストまたはパッケージテストの場合には、開閉制御回路によりスイッチ回路が開かれ、出力端子と電源端子との間からインピーダンス回路が切り離された状態となる。従って、出力端子と電源端子との間にテスト電圧を印加することにより、スイッチング素子のリーク電流のみを正確に測定することが可能となる。

【0019】

請求項6に記載した手段によれば、開閉制御回路は、駆動制御回路に供給される動作電源電圧が基準電圧以上である場合にスイッチ回路を閉状態に制御するので、動作電源電圧に応じたインピーダンス回路の接続と切り離しとが正確に行われる。この具体的な手段として、請求項7、8に記載した手段がある。

【0020】

請求項7に記載した手段によれば、上記スイッチ回路はトランジスタから構成され、比較回路は動作電源電圧の分圧電圧と基準電圧とを比較する。そして、その比較信号に応じて駆動回路が上記トランジスタをオンオフ駆動する。

【0021】

請求項8に記載した手段によれば、上記スイッチ回路はトランジスタから構成され、開閉制御回路は、動作電源電圧の分圧電圧をそのトランジスタの制御端子に直接的に印加するので、請求項7に記載した手段に比べ回路構成が簡単になる。

【0022】

請求項9に記載した手段によれば、インピーダンス回路は抵抗素子であるため

、出力電圧の変化に対して過渡的な電圧や電流が生じることがなく、IC化も容易となる。

【0023】

請求項10に記載した手段によれば、出力端子と電源端子との間に接続された定電流回路は、実際の使用状態つまり駆動制御回路に動作用電源電圧が供給されている場合にのみ定電流動作を行う。定電流回路が定電流動作を行っている場合には、出力端子の電位が不定となることがなく、異常検出回路は、監視される出力端子の電圧に基づいて断線、短絡などの異常状態を確実に検出することが可能となる。また、スイッチング素子がオフ状態の場合、外部負荷には定電流が流れるので、この定電流値を小さく設定することにより例えば外部負荷である発光ダイオードの暗灯を防止することができる。

【0024】

一方、駆動制御回路に動作用電源電圧が供給されないウエハテストまたはパッケージテストの場合には、定電流回路が定電流動作を停止する。これにより、出力端子と電源端子との間にテスト電圧を印加しても定電流回路に電流が流れることはなく、スイッチング素子のリーク電流のみを正確に測定することが可能となる。この具体的な手段として、請求項11、12に記載した手段がある。

【0025】

請求項11に記載した手段によれば、定電流発生回路は動作用電源電圧の供給を受けた状態でカレントミラー回路の入力側トランジスタに定電流を出力し、それに応じてカレントミラー回路の出力側トランジスタが出力端子と電源端子との間において定電流動作を行う。

【0026】

請求項12に記載した手段によれば、定電流発生回路（請求項11に記載した手段と異なり動作用電源電圧以外の電圧により動作するものであっても良い）は、カレントミラー回路の入力側トランジスタに定電流を出力し、それに応じてカレントミラー回路の出力側トランジスタが出力端子と電源端子との間において定電流動作を行う。そして、電流制御回路は、動作用電源電圧が基準電圧以下である場合に、カレントミラー回路の共通制御端子に電流出力停止信号を与えてカレ

ントミラー回路の定電流動作を停止させる。

【0027】

請求項13に記載した手段によれば、定電流回路を備える構成において、出力端子と定電流回路との間に抵抗素子が接続されているので、出力端子を介して外部から侵入する静電気から定電流回路を保護できる。

【0028】

【発明の実施の形態】

（第1の実施形態）

本発明の第1の実施形態について、車両に搭載された場合の電氣的構成を示す図1を参照しながら説明する。車載制御機器に使用されるIC21（集積回路装置に相当）は、バッテリー22（外部電源に相当）から負荷23（外部負荷に相当）に流れる電流を通断電する負荷駆動回路を備えたICである。負荷23は、電磁弁のソレノイドコイル、リレーコイル、ランプ、発光ダイオードなどであって、IC21は同時に複数の負荷23を駆動できるように複数チャンネルの負荷駆動回路を備えている。ただし、図1には1チャンネル分の負荷駆動回路のみが示されている。

【0029】

IC21は、車載制御機器内に配設されている基板（図示せず）上にはんだ付けによって実装されている。この状態で、IC21の正側の電源端子24、負側の電源端子25（第1の電源端子に相当）には、それぞれバッテリー22の正側端子、負側端子が接続され、バッテリー22の正側端子とIC21の出力端子26との間には上記負荷23が接続されている。また、第2の電源端子としての負側の電源端子27は、基板に形成されたパターンを介して電源端子25と接続されている。

【0030】

出力端子26と電源端子25との間にはロウサイドスイッチとして機能するNチャンネル型MOSトランジスタ28（スイッチング素子に相当）が接続され、出力端子26と電源端子27との間には、負荷23の断線時に出力端子26の電位が不定になることを防止するための抵抗29（インピーダンス回路に相当）が接

続されている。プルダウン用の抵抗 2 9 の抵抗値は、負荷 2 3 のインピーダンス値に比べ十分に大きく設定されているので、その電力損失は十分に小さくなる。ここで、バッテリー 2 2、負荷 2 3 および MOS トランジスタ 2 8 からなる電流経路が、本発明でいう負荷通電経路に相当する。

【 0 0 3 1 】

ゲート駆動回路 3 0（駆動制御回路に相当）は、電源端子 2 4、2 5 間に与えられる上記バッテリー 2 2 の電圧 V_B の供給を受けて動作し、入力端子 3 1 を介して CPU 3 2 から与えられる指令信号 S_a に従って、MOS トランジスタ 2 8 をオンオフ駆動するようになっている。CPU 3 2 は、IC 2 1 と同一基板上に実装されているが、別基板上に実装されていても良い。

【 0 0 3 2 】

異常検出回路 3 3 は、電源端子 2 4、2 5 間に接続された分圧用の抵抗 3 4、3 5 と、この分圧回路により生成された基準電圧 V_r と出力端子 2 6 の電圧 V_o （出力電圧 V_o ）とを比較するコンパレータ 3 6 とから構成されている。コンパレータ 3 6 は、電源電圧 V_B の供給を受けて動作するようになっており、その非反転入力端子は出力端子 2 6 に接続され、反転入力端子は抵抗 3 4 と 3 5 との共通接続点（分圧点）に接続されている。また、コンパレータ 3 6 の出力端子から出力される比較信号 S_c は、端子 3 7 を介して上記 CPU 3 2 に与えられるようになっている。

【 0 0 3 3 】

次に、IC 2 1 を搭載した基板が配設された車載制御機器にバッテリー 2 2 と負荷 2 3 とが接続され、IC 2 1 が CPU 3 2 からの指令信号 S_a に従って負荷 2 3 を駆動している実使用状態での動作を、以下の（１）～（５）に場合分けして説明する。

【 0 0 3 4 】

（１）負荷 2 3 が正常の場合

ゲート駆動回路 3 0 は、CPU 3 2 からオン指令信号 S_a (ON) を入力すると、MOS トランジスタ 2 8 のゲートに対し、そのしきい値電圧 V_{th} よりも高いゲート電圧を出力する。その結果、MOS トランジスタ 2 8 はオン状態となって負荷

23に電流が流れ、出力電圧 V_o はほぼ0Vとなる。この時、出力電圧 V_o は基準電圧 V_r よりも低くなるので、コンパレータ36から出力される比較信号 S_c はLレベルになる。

【0035】

一方、ゲート駆動回路30は、CPU32からオフ指令信号 S_a (OFF) を入力すると、MOSトランジスタ28のゲートに対し0Vのゲート電圧を出力する。その結果、MOSトランジスタ28はオフ状態となって負荷23に流れる電流が遮断され、出力電圧 V_o は電源電圧 V_B にほぼ等しくなる。この時、出力電圧 V_o は基準電圧 V_r よりも高くなるので、コンパレータ36から出力される比較信号 S_c はHレベルになる。

【0036】

(2) 負荷23の両端子間が短絡した場合

MOSトランジスタ28のオンオフ状態にかかわらず、出力電圧 V_o は電源電圧 V_B にほぼ等しくなり、比較信号 S_c は常にHレベルとなる。そこで、CPU32は、MOSトランジスタ28にオン指令信号 S_a (ON) を出力しているにもかかわらずHレベルの比較信号 S_c を入力した場合には、異常が発生したと判断し直ちにMOSトランジスタ28をオフ駆動するとともに適切な保護処理を実行する。

【0037】

(3) 負荷23が断線した場合

MOSトランジスタ28のオンオフ状態にかかわらず出力電圧 V_o は0Vとなり、比較信号 S_c は常にLレベルとなる。MOSトランジスタ28のオフ状態において出力電圧 V_o が0Vになるのは、抵抗29が出力端子26の電位を電源端子25の電位(0V)に固定するように作用するためである。CPU32は、MOSトランジスタ28のオフ指令信号 S_a (OFF) を出力しているにもかかわらずLレベルの比較信号 S_c を入力した場合には、異常が発生したと判断し直ちに適切な保護処理を実行する。

【0038】

(4) MOSトランジスタ28のドレイン・ソース間が短絡した場合

出力電圧 V_o は常に 0 V となり、比較信号 S_c は L レベルとなる。CPU 32 は、上記 (3) の場合と同様に、MOS トランジスタ 28 のオフ指令信号 S_a (OFF) を出力しているにもかかわらず L レベルの比較信号 S_c を入力した場合には、異常が発生したと判断し直ちに適切な保護処理を実行する。

【0039】

(5) MOS トランジスタ 28 のドレイン・ソース間が通電不能の場合

出力電圧 V_o は常に電源電圧 V_B にほぼ等しくなり、比較信号 S_c は H レベルとなる。CPU 32 は、上記 (2) の場合と同様に、MOS トランジスタ 28 にオン指令信号 S_a (ON) を出力しているにもかかわらず H レベルの比較信号 S_c を入力した場合には、異常が発生したと判断し直ちに MOS トランジスタ 28 をオフ駆動するとともに適切な保護処理を実行する。

【0040】

続いて、IC 21 の製造工程において実施される MOS トランジスタ 28 のリークテストについて説明する。

一般に、IC の製造工程においては、ウエハ処理工程の後にウエハテストが実施され、その後、ダイシング、ボンディング、封止などからなる組立工程を経てパッケージテスト（出荷テスト）が実施される。ウエハテストやパッケージテストでは、テスト項目の一つとして、負荷駆動回路を構成するような比較的電流容量の大きいトランジスタ（本実施形態の場合 MOS トランジスタ 28）に対し所定のテスト電圧が印加され、そのドレイン・ソース間のリーク電流の測定が行われる。

【0041】

本実施形態の IC 21 の場合、MOS トランジスタ 28 のソースが接続された端子 25 と抵抗 29 が接続された端子 27 とは独立した端子構造となっているので、IC 21 が基板上に実装される前の状態例えばパッケージテストの実施段階において、端子 25 と 27 とは電氣的に分離されている。従って、出力端子 26 と電源端子 25 との間にテスト電圧を印加した場合、IC 1 の外部から端子 26、25 を介して測定される電流は、MOS トランジスタ 28 のドレイン・ソース間のリーク電流のみとなる。

【0042】

また、チップ上に、ワイヤボンディングにより端子25、26、27にそれぞれ接続される3つの独立したパッドが設けられている場合には、ウエハテストにおいても、出力端子26に対応するパッドと電源端子25に対応するパッドとの間にテスト電圧を印加することにより、同様にしてMOSトランジスタ28のドレイン・ソース間のリーク電流のみを測定可能となる。

【0043】

以上説明したように、本実施形態によれば、IC21の実使用状態において基板のパターンにより電源端子25と27とが接続され、出力端子26と電源端子27（バッテリー22の負側端子）との間にプルダウン用の抵抗29が接続されるので、負荷23が断線したような場合であっても抵抗29により出力端子26の電位が一定電位（0V）に固定される。これにより、異常検出回路33は、出力電圧 V_o に基づいて断線、短絡などの異常状態を確実に検出することが可能となる。

【0044】

この場合、抵抗29はIC21に内蔵されているので、基板上に外付け抵抗を実装する必要がない。このため、車載装置など特にIC21に内蔵される負荷駆動回路のチャンネル数が多い場合には、従来構成の場合と比較してチャンネル数に等しい数の外付け抵抗を削減することができ、部品コストを低減できる。さらに、その削減される部品の面積分だけ基板面積を縮小することができるので、基板コストの低減やIC21を採用した車載制御機器自体の小形化が図られる。

【0045】

また、IC21は、MOSトランジスタ28のソースが接続された端子25と抵抗29が接続された端子27とが独立した端子構造となっており、IC21を基板上に実装した状態において初めて端子25と27とがパターンにより接続された状態となる。従って、IC21のパッケージテスト（ウエハテストもほぼ同様）において、出力端子26と電源端子25との間にテスト電圧を印加することにより、抵抗29の影響を受けることなくMOSトランジスタ28のリーク電流のみを正確に測定することが可能となる。

【0046】

(第2の実施形態)

図2は、第1の実施形態を変形した第2の実施形態の電氣的構成を示している。図2に示すIC38は、上述したIC21とは異なり2つの独立した出力端子26、39（それぞれ第1、第2の出力端子に相当）を備えている。出力端子26と電源端子25との間にはMOSトランジスタ28が接続され、出力端子39と電源端子25との間には抵抗29が接続されている。IC38は、図示しない基板上に実装されている。この実装状態において、出力端子26と39とは基板に形成されたパターンを介して接続されている。

【0047】

上記構成によれば、実使用状態において第1の実施形態と同じ電氣的接続状態となるため、第1の実施形態と同様の作用および効果が得られる。また、IC38のパッケージテスト（ウエハテストもほぼ同様）においても、出力端子26と電源端子25との間にテスト電圧を印加することにより、抵抗29の影響を受けることなくMOSトランジスタ28のリーク電流のみを正確に測定することが可能となる。

【0048】

(第3の実施形態)

次に、本発明の第3の実施形態について、電氣的構成を示す図3を参照しながら説明する。なお、図3において、図1と同一構成部分については同一符号を付して示し、ここでは異なる構成部分について説明する。

【0049】

図3において、二点鎖線で示すIC40のパッケージ内部に、破線で示すチップ41が封止されている。チップ41上には、図1に示した回路と同じ回路が形成されているとともに、互いに独立したパッド42～47が形成されている。IC40の組立工程におけるワイヤボンディングにより、パッド42、43、46、47はそれぞれ端子24、26、31、37に接続され、パッド44、45は共に電源端子25に接続される。ここで、パッド43は出力用パッドに相当し、パッド44、45はそれぞれ第1、第2の電源用パッドに相当する。パッド43

と44との間にはMOSトランジスタ28が接続され、パッド43と45との間には抵抗29が接続されている。

【0050】

本実施形態によれば、IC40が基板に実装された実使用状態において、バッテリ22および負荷23に対し第1の実施形態と同様の電氣的接続状態となるため、異常検出回路33による異常状態の検出および外付け抵抗の削減について第1の実施形態と同様の作用および効果が得られる。また、IC40の組立工程前に実施されるウエハテストにおいて、パッド43と44との間にテスト電圧を印加することにより、抵抗29の影響を受けることなくMOSトランジスタ28のリーク電流のみを正確に測定することが可能となる。

【0051】

さらに、IC40の端子数は、第1、第2の実施形態で説明したIC21、IC38の端子数と比較して、1チャンネルにつき1つずつ削減することができる。一般に、ICの端子数はパッケージの種類に応じて制限を受けるので、負荷駆動回路に用いる端子数を削減することにより、端子数の不足の問題が生じにくくなり、IC設計上の自由度が増すとともに製造コストを低減できる。

【0052】

(第4の実施形態)

図4は、第3の実施形態を変形した第4の実施形態の電氣的構成を示している。図4において、IC48のパッケージ内に封止されたチップ49は、出力用パッドとして2つの独立したパッド43、50（それぞれ第1、第2の出力用パッドに相当）を備えている。パッド43とパッド44との間にはMOSトランジスタ28が接続され、パッド50とパッド44との間には抵抗29が接続されている。IC48の組立工程におけるワイヤボンディングにより、パッド43、50は共に出力端子26に接続される。本実施形態によっても、IC48のウエハテストにおいて、パッド43と44との間にテスト電圧を印加することにより、抵抗29の影響を受けることなくMOSトランジスタ28のリーク電流のみを正確に測定することが可能となる。また、その他の作用および効果についても第3の実施形態と同様となる。

【 0 0 5 3 】

(第 5 の実施形態)

次に、本発明の第 5 の実施形態について、電氣的構成を示す図 5 を参照しながら説明する。なお、図 5 において、図 1 と同一構成部分については同一符号を付して示し、ここでは異なる構成部分について説明する。

【 0 0 5 4 】

図 5 に示す IC 5 1 において、出力端子 2 6 と負側の電源端子 2 5 との間には、抵抗 2 9 と NPN 型トランジスタ 5 2 (スイッチ回路に相当) のコレクタ・エミッタ間とが直列に接続されている。開閉制御回路 5 3 は、トランジスタ 5 2 を駆動制御するもので、電源端子 2 4、2 5 間に直列接続された抵抗 5 4、5 5 からなる分圧回路 5 6 と、その分圧電圧 V_d と基準電圧 V_e とを比較するコンパレータ 5 7 (比較回路および駆動回路に相当) とから構成されている。コンパレータ 5 7 は、ゲート駆動回路 3 0 と同じく電源電圧 V_B の供給を受けて動作するようになっており、その非反転入力端子は上記分圧回路 5 6 の分圧点に接続され、その反転入力端子には上記基準電圧 V_e が与えられるようになっている。

【 0 0 5 5 】

電源端子 2 4、2 5 間に基準電圧 V_e に相当する電圧 ($=$ 基準電圧 $V_e \times (R_{54} + R_{55}) / R_{55}$: 以下、基準相当電圧と称す) を超える電源電圧 V_B が印加された実使用状態においては、ゲート駆動回路 3 0 が動作状態になるとともに、分圧電圧 V_d が基準電圧 V_e よりも高くなり、コンパレータ 5 7 の出力電圧が上昇してトランジスタ 5 2 がオンとなる。その結果、出力端子 2 6 と電源端子 2 5 との間に抵抗 2 9 が直接的に接続された状態とほぼ等価となり、異常検出回路 3 3 による異常状態の検出および外付け抵抗の削減について第 1 の実施形態と同様の作用および効果が得られる。

【 0 0 5 6 】

一方、電源電圧 V_B が基準相当電圧よりも低下した場合には、コンパレータ 5 7 の出力電圧が 0 V になってトランジスタ 5 2 はオフとなり、出力端子 2 6 と電源端子 2 5 との間から抵抗 2 9 が切り離された状態となる。これとともに、ゲート駆動回路 3 0 の動作が停止して MOS トランジスタ 2 8 がオフとなる。トラン

ジスタ52のトランジスタサイズは、負荷23を駆動するMOSトランジスタ28のトランジスタサイズに比べて十分に小さいので、トランジスタ52のリーク電流はMOSトランジスタ28のリーク電流に比べ十分に小さい。従って、IC51のウェハテストまたはパッケージテストにおいて、出力端子26と電源端子25との間にテスト電圧を印加することにより、抵抗29およびトランジスタ52の影響を受けることなくMOSトランジスタ28のリーク電流のみを正確に測定することが可能となる。

【0057】

また、ゲート駆動回路30と開閉制御回路53とは、ともに電源電圧VBの供給を受けて動作するので、ゲート駆動回路30が動作可能状態にある期間だけトランジスタ52がオン状態となる協調した動作が可能となる。さらに、本実施形態によれば、端子数、チップ上のパッド数およびボンディングワイヤ数の何れをも増やす必要がないので、IC設計上の自由度が増すとともに製造コストの増加を抑えられる。

【0058】

なお、本実施形態では、コンパレータ57が直接トランジスタ52を駆動する構成となっているが、コンパレータ57の駆動能力が不足する場合には、コンパレータ57の出力端子とトランジスタ52のベースとの間に駆動回路（駆動手段）を接続しても良い。

【0059】

（第6の実施形態）

図6は、第5の実施形態を変形した第6の実施形態の電氣的構成を示している。図6に示すIC58は、図5に示すIC51からコンパレータ57を除いた構成となっている。そして、電源電圧VBの供給を受けてゲート駆動回路30が動作可能状態にある場合に限りトランジスタ52がオンするように、分圧回路56の分圧比が決定されている。本実施形態によっても第5の実施形態と同様の作用および効果が得られる。また、コンパレータ57が除かれた分だけ回路規模を小さくでき、低コスト化が図られる。

【0060】

(第 7 の実施形態)

次に、本発明の第 7 の実施形態について、電氣的構成を示す図 7 を参照しながら説明する。なお、図 7 において、図 5 と同一構成部分については同一符号を付して示し、ここでは異なる構成部分について説明する。

【 0 0 6 1 】

図 7 に示す IC 5 9 において、コンパレータ 6 0 は、ゲート駆動回路 3 0 と同じく電源電圧 V_B の供給を受けて動作するようになっており、その反転入力端子は分圧回路 5 6 の分圧点に接続され、その非反転入力端子には基準電圧 V_e が与えられるようになっている。出力端子 2 6 と電源端子 2 5 との間には、抵抗 6 1 と NPN 型トランジスタ 6 2 のコレクタ・エミッタ間とが直列に接続されている。NPN 型トランジスタ 6 3 は、上記トランジスタ 6 2 とともにカレントミラー回路を構成しており、定電流発生回路 6 4 から一定電流が供給されるようになっている。この定電流発生回路 6 4 は、電源電圧 V_B とは別の電源電圧の供給を受けて動作する。カレントミラー回路の共通ベース線と電源端子 2 5 との間には NPN 型トランジスタ 6 5 のコレクタ・エミッタ間が接続され、トランジスタ 6 5 のベースは上記コンパレータ 6 0 の出力端子に接続されている。

【 0 0 6 2 】

ここで、分圧回路 5 6、コンパレータ 6 0 およびトランジスタ 6 5 により電流制御回路 6 6 が構成され、さらに、この電流制御回路 6 6、定電流発生回路 6 4 およびカレントミラー回路により定電流回路 6 7 が構成されている。

【 0 0 6 3 】

電源端子 2 4、2 5 間に基準相当電圧を超える電源電圧 V_B が印加されると、コンパレータ 6 0 の出力電圧が 0 V に低下してトランジスタ 6 5 がオフ状態となる。そして、カレントミラー回路のトランジスタ 6 2 には、定電流発生回路 6 4 の電流値に応じた一定電流が流れる。この状態で例えば負荷 2 3 が断線すると、トランジスタ 6 2 のコレクタ電位が低下して出力電圧 V_o はほぼ 0 V になる。従って、異常検出回路 3 3 は、出力電圧 V_o に基づいて断線、短絡などの異常状態を確実に検出することが可能となる。

【 0 0 6 4 】

一方、電源電圧 V_B が上記基準相当電圧よりも低下した場合には、トランジスタ65がオンとなってカレントミラー回路の共通ベース線が0Vになり、トランジスタ62はオフ状態となる。また、トランジスタ62のトランジスタサイズは、負荷23を駆動するMOSトランジスタ28のトランジスタサイズに比べて十分に小さいので、トランジスタ62のリーク電流はMOSトランジスタ28のリーク電流に比べ十分に小さい。従って、ウエハテストおよびパッケージテストにおいて出力端子26と電源端子25との間にテスト電圧を印加することにより、定電流回路67の影響を受けることなくMOSトランジスタ28のリーク電流のみを正確に測定することが可能となる。

【0065】

さらに、本実施形態では、負荷23の種類等に応じてトランジスタ62に流れる電流値を決めることができる。例えば、負荷23が発光ダイオードの場合には、わずかな電流が流れても暗灯してしまう。このような場合には、定電流値を十分に小さい値に設定することにより暗灯を防止できる。なお、出力端子26とトランジスタ62との間に接続された抵抗61は、第1ないし第6の実施形態における抵抗29とは異なり、出力端子26を介して外部から侵入する静電気に対しトランジスタ62を保護する機能を持っている。従って、静電気の侵入の虞がないような場合には抵抗61を除くことができる。

【0066】

(第8の実施形態)

図8は、第7の実施形態を変形した第8の実施形態の電氣的構成を示している。図8に示すIC68は、図7に示すIC59から電流制御回路66を除いた構成となっており、定電流発生回路64は、電源電圧 V_B の供給を受けて定電流動作するようになっている。ここで、定電流発生回路64とトランジスタ62、63からなるカレントミラー回路とにより定電流回路69が構成される。

【0067】

定電流発生回路64は、その出力部がカレントミラー回路から構成されている。そして、定電流回路69は、電源電圧 V_B が(トランジスタ63の V_{BE} +定電流発生回路64を構成するカレントミラー回路の V_{CE})よりも高い場合にあって

は定電流動作を行い、低い場合にあっては定電流動作を停止する。従って、本実施形態によっても、IC 6 8 の実使用状態およびテスト実施時においてそれぞれ第 7 の実施形態と同様の効果を得ることができる。また、IC 6 8 は、IC 5 9 から電流制御回路 6 6 を除いた構成となっているので、特に多チャンネル構成の場合にチップ面積を縮小でき、低コスト化が図られる。

【 0 0 6 8 】

(その他の実施形態)

なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

各実施形態において、負荷駆動回路を構成するスイッチング素子として MOS トランジスタ 2 8 を用いたが、これに替えてバイポーラトランジスタを用いても良い。また、各実施形態において、Nチャネル型の MOS トランジスタ 2 8 をロウサイドスイッチの回路形態に接続したが、これに替えて Pチャネル型の MOS トランジスタをハイサイドスイッチの回路形態に接続しても良い。

第 5、第 6 の実施形態におけるトランジスタ 5 2 および第 7、第 8 の実施形態におけるトランジスタ 6 2、6 3 は、Nチャネル型 MOS トランジスタにより構成しても良い。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示す IC の電氣的構成図

【図 2】

本発明の第 2 の実施形態を示す図 1 相当図

【図 3】

本発明の第 3 の実施形態を示す図 1 相当図

【図 4】

本発明の第 4 の実施形態を示す図 1 相当図

【図 5】

本発明の第 5 の実施形態を示す図 1 相当図

【図 6】

本発明の第6の実施形態を示す図1相当図

【図7】

本発明の第7の実施形態を示す図1相当図

【図8】

本発明の第8の実施形態を示す図1相当図

【図9】

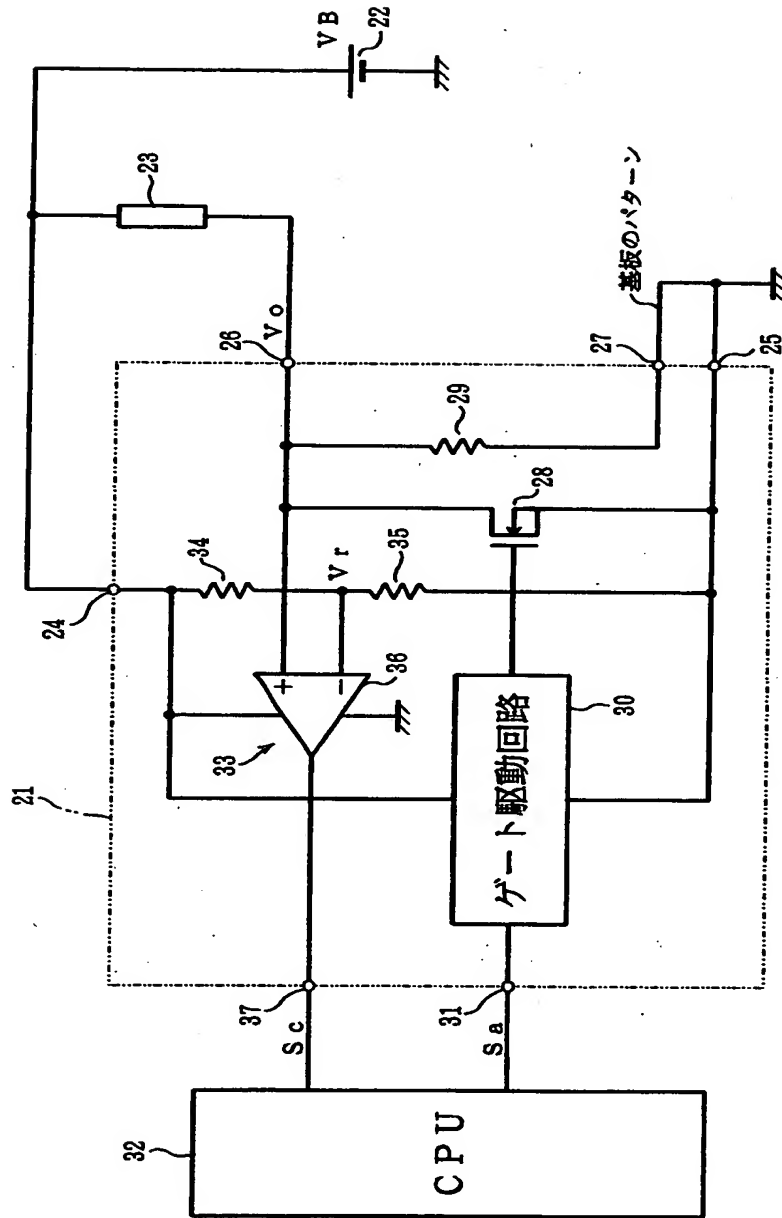
従来技術を示す図1相当図

【符号の説明】

21、38、40、48、51、58、59、68はIC（集積回路装置）、22はバッテリー（外部電源）、23は負荷（外部負荷）、25は電源端子（第1の電源端子）、26は出力端子（第1の出力端子）、27は電源端子（第2の電源端子）、28はMOSトランジスタ（スイッチング素子）、29は抵抗（インピーダンス回路）、30はゲート駆動回路（駆動制御回路）、33は異常検出回路、39は出力端子（第2の出力端子）、41、49はチップ、43はパッド（第1の出力用パッド）、44はパッド（第1の電源用パッド）、45はパッド（第2の電源用パッド）、50はパッド（第2の出力用パッド）、52はトランジスタ（スイッチ回路）、53は開閉制御回路、56は分圧回路、57はコンパレータ（比較回路、駆動回路）、64は定電流発生回路、66は電流制御回路、67、69は定電流回路である。

【書類名】 図面

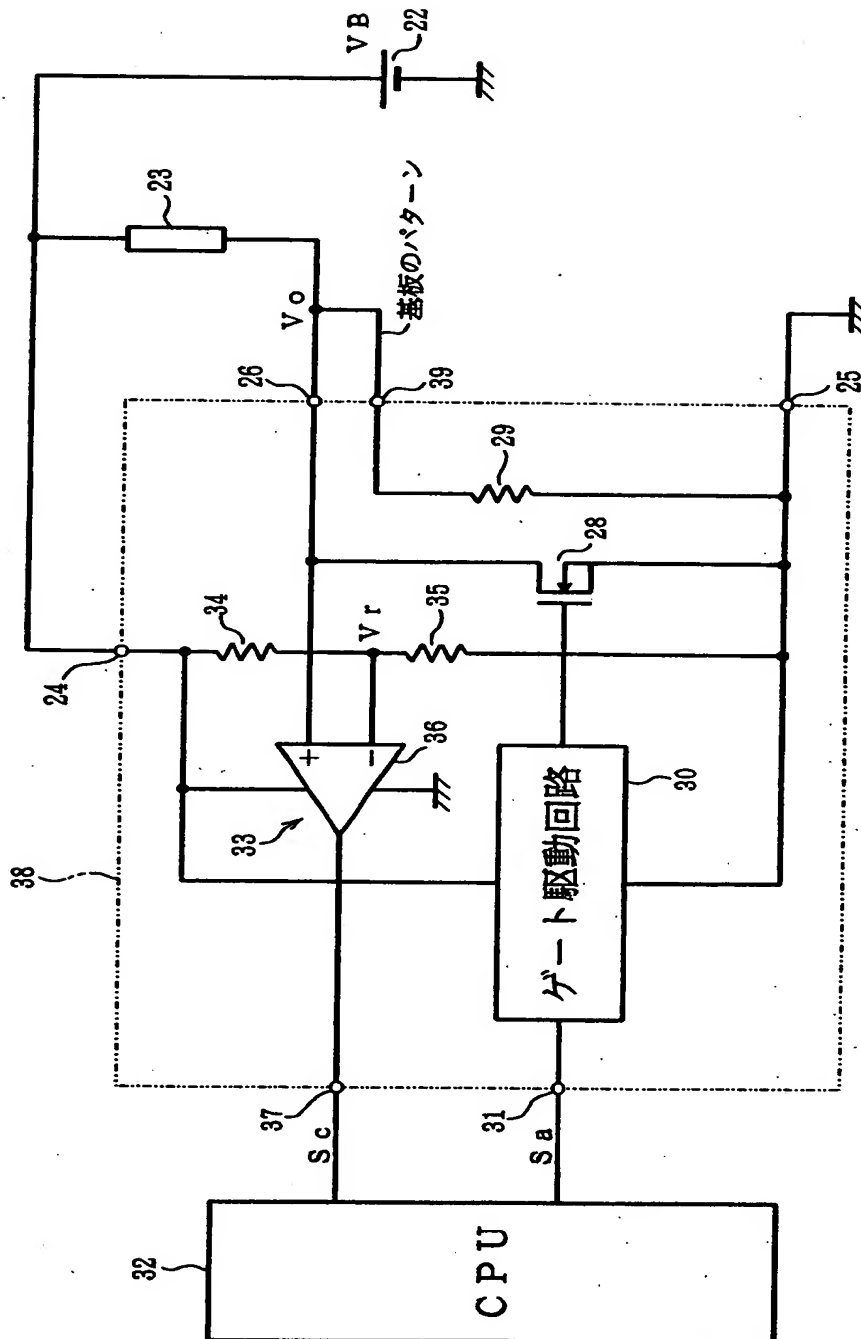
【図 1】



27 : 第 2 の電源端子
28 : スイッチング素子
29 : インピーダンス回路
30 : 駆動制御回路
33 : 異常検出回路

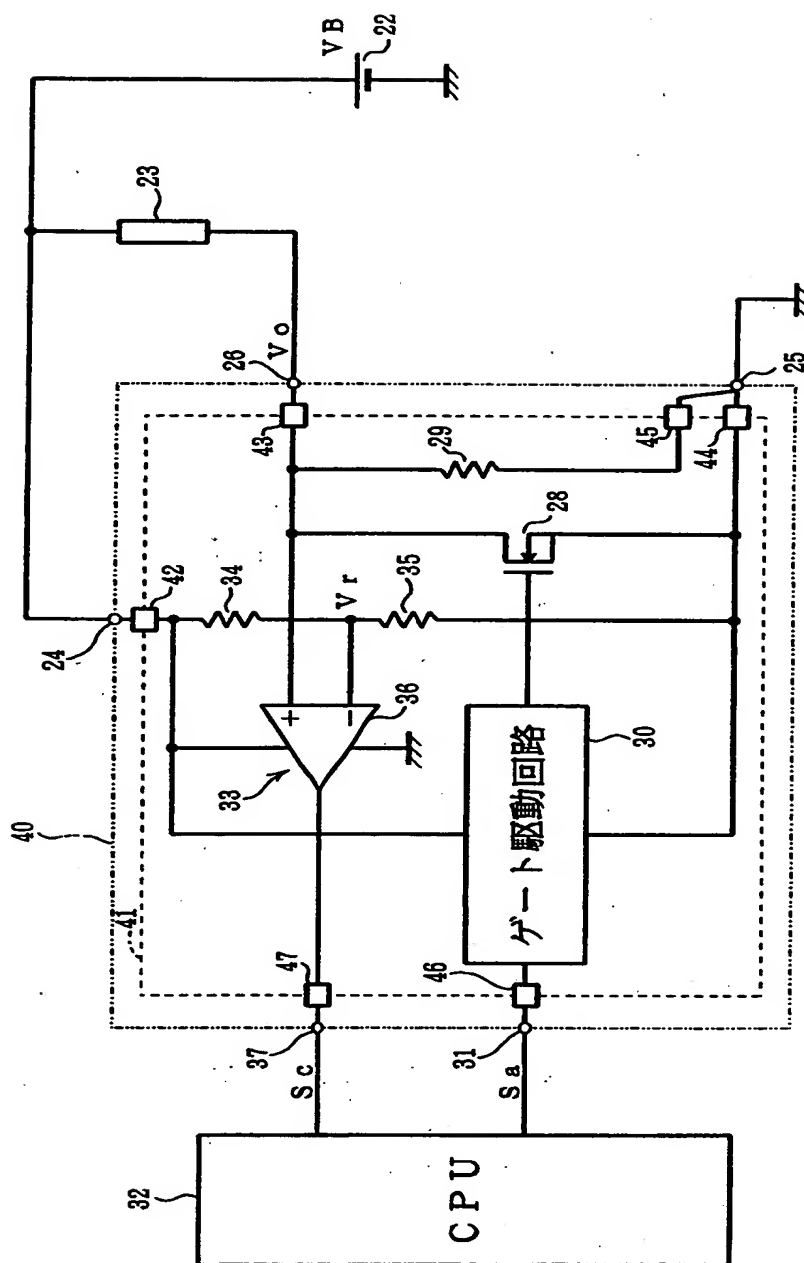
21 : 集積回路装置
22 : 外部電源
23 : 外部負荷
25 : 第 1 の電源端子
26 : 出力端子

【図 2】



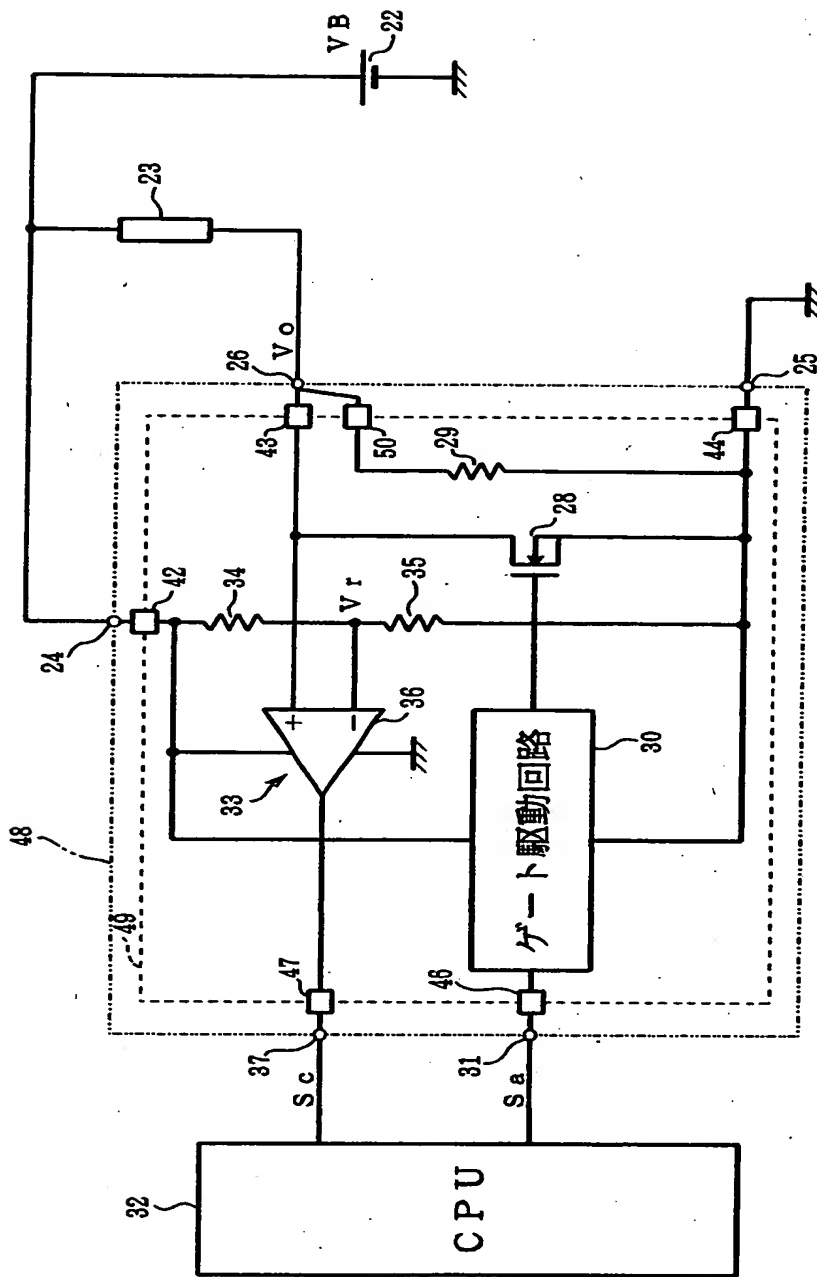
38:集積回路装置
26:第1の出力端子
39:第2の出力端子

【図 3】



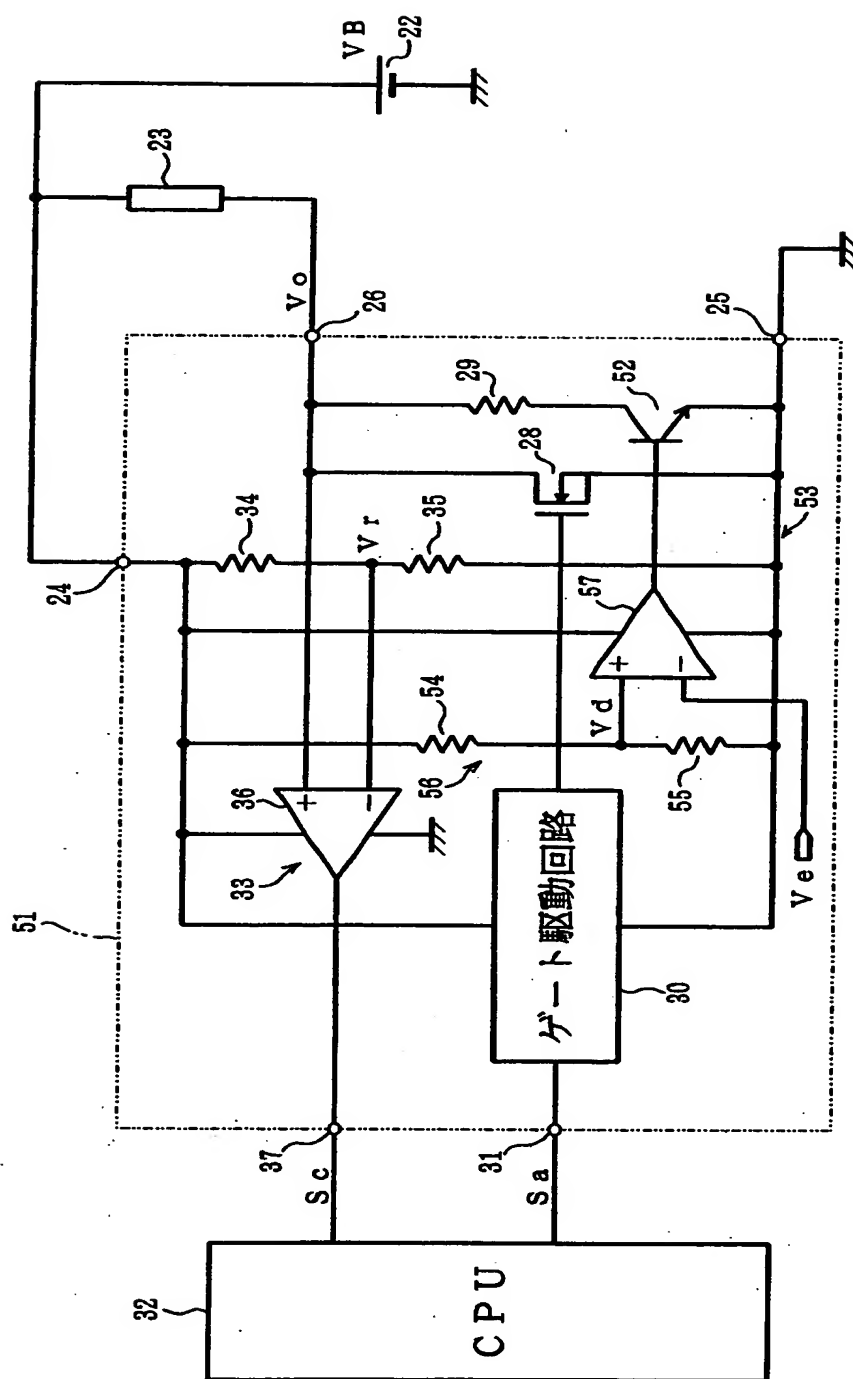
- 40: 集積回路装置
41: チップ
43: 出力用パッド
44: 第1の電源用パッド
45: 第2の電源用パッド

【図4】



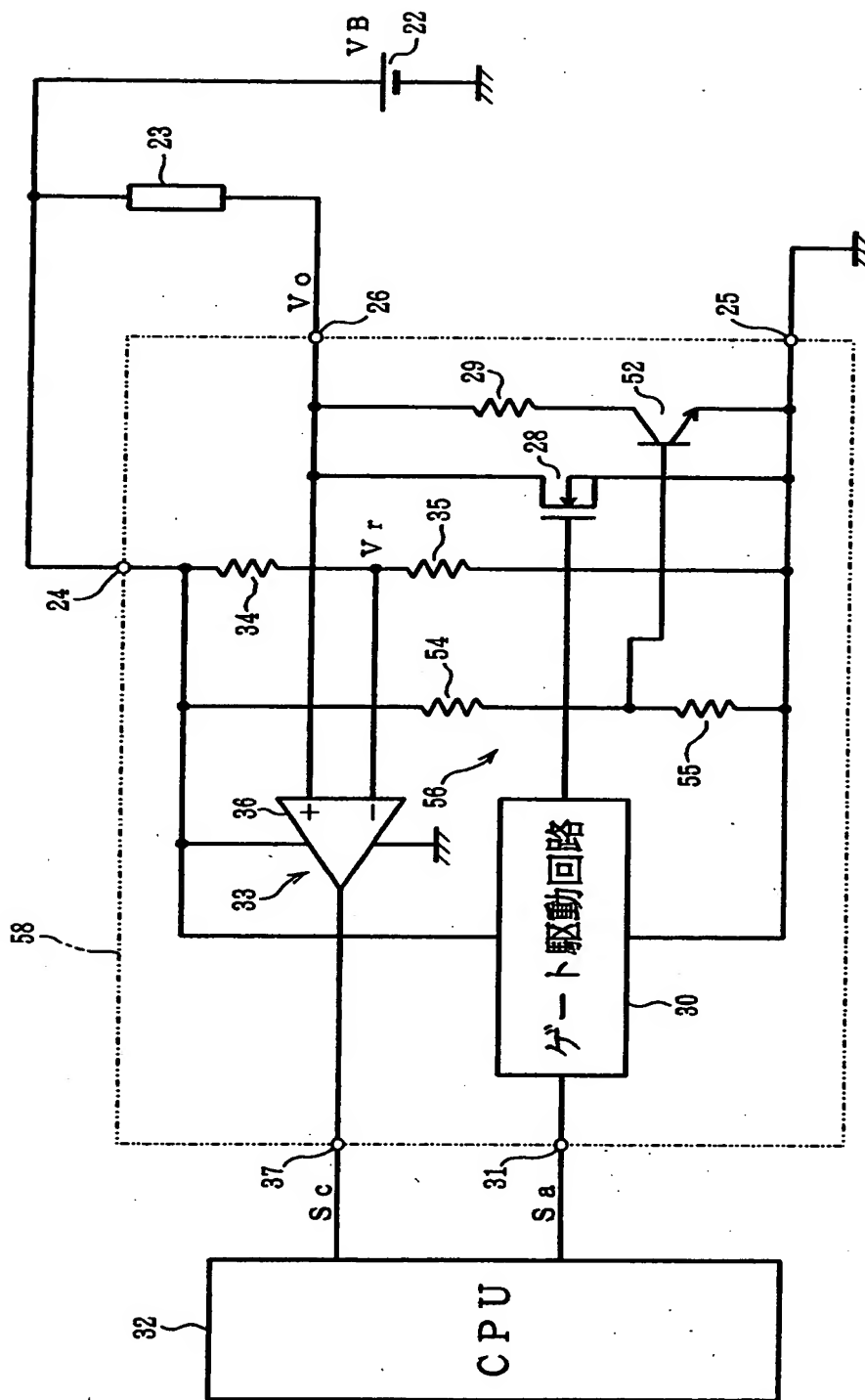
- 48: 集積回路装置
- 49: チップ
- 43: 第1の出力用パッド
- 50: 第2の出力用パッド

【図 5】



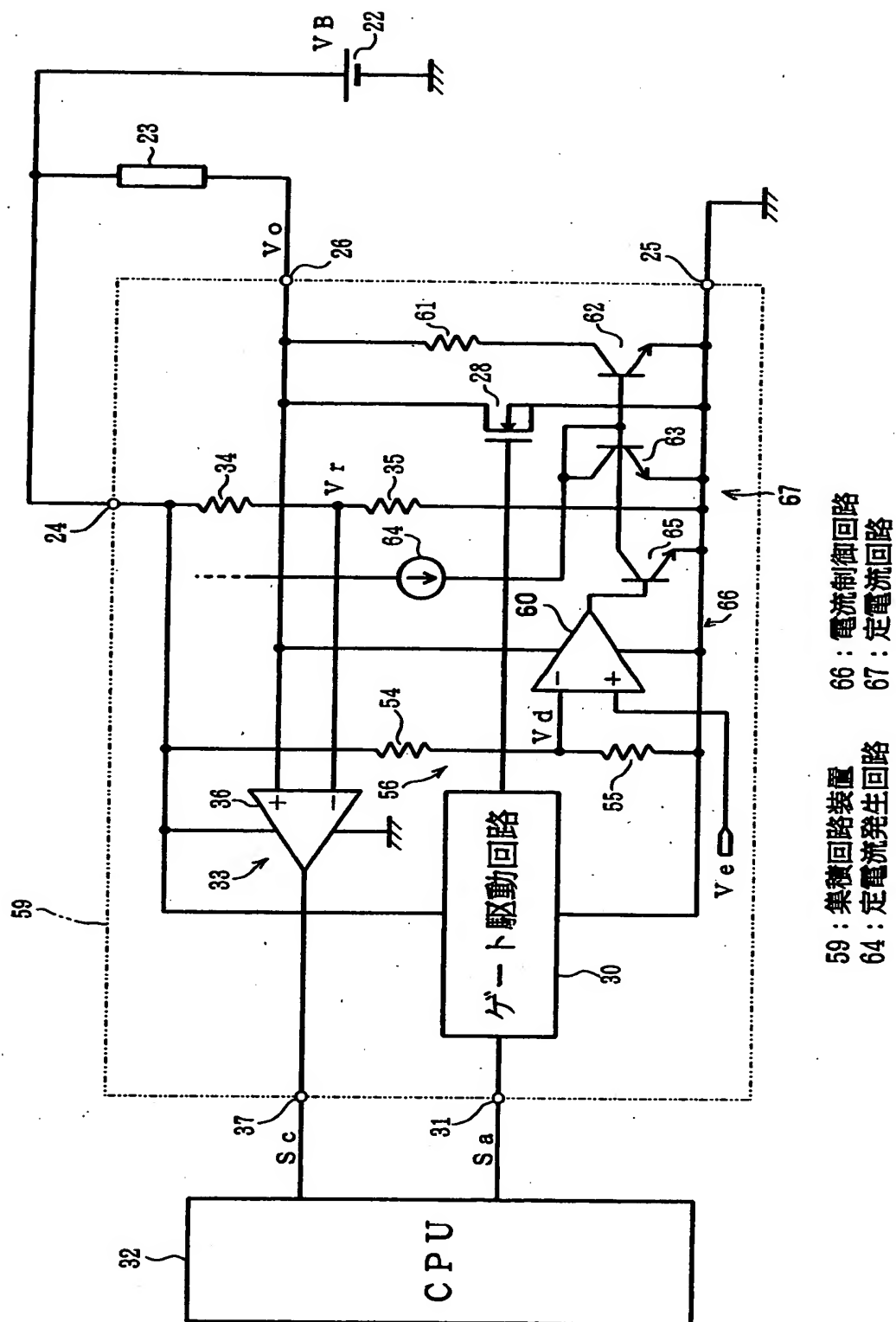
- 51: 集積回路装置
- 52: スイッチ回路
- 53: 開閉制御回路
- 56: 分圧回路
- 57: 比較回路、駆動回路

【図6】

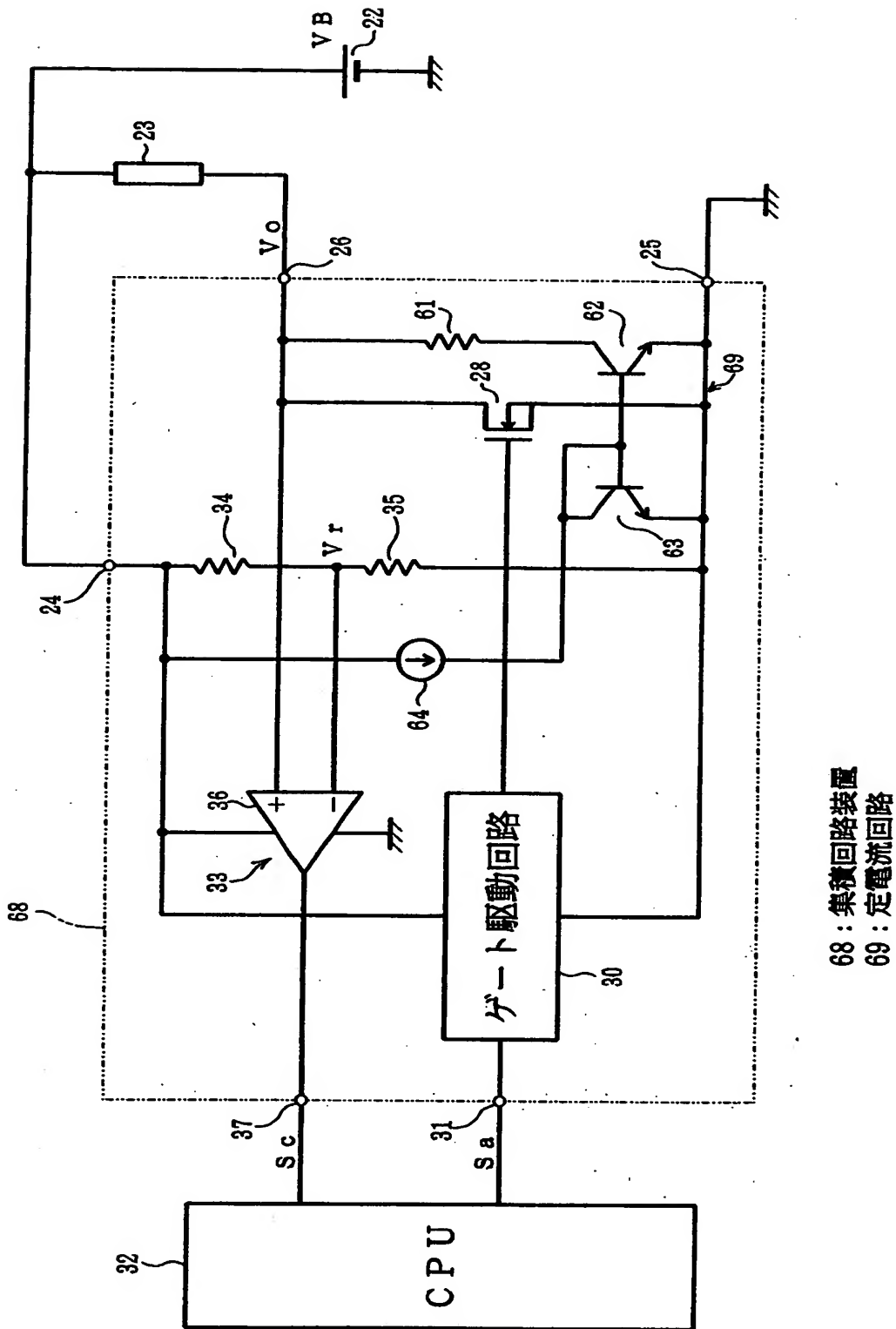


58: 集積回路装置

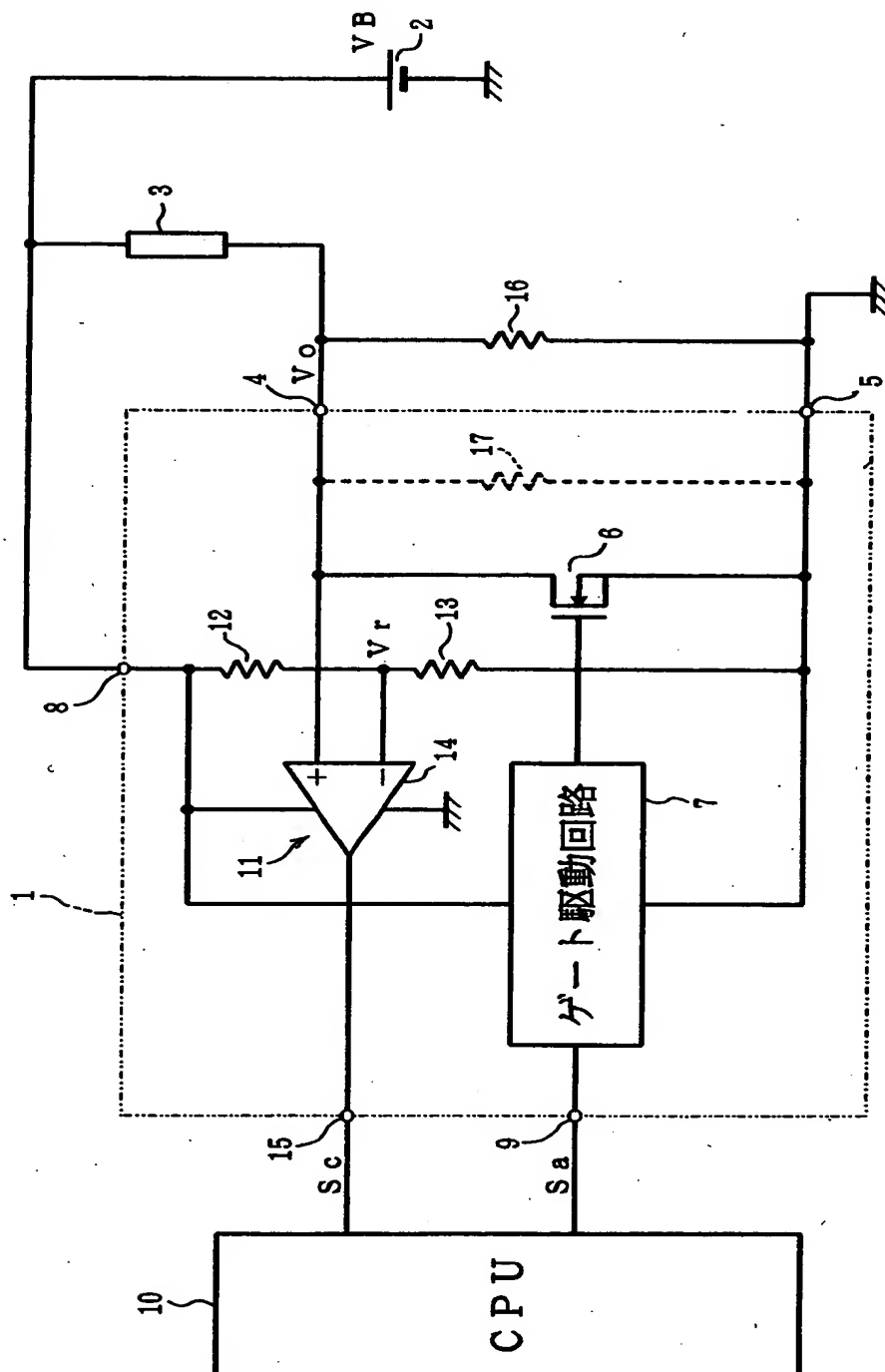
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 出力端子の電圧に基づいて異常状態を検出する際に不可欠となる回路を内蔵するとともに、その出力端子に接続されたスイッチング素子のリーク電流を正確に測定する。

【解決手段】 IC 2 1 が基板上に実装された状態で、電源端子 2 5 と 2 7 とが基板パターンを介して接続される。負荷 2 3 が断線した場合、抵抗 2 9 により出力端子 2 6 の電位が電源端子 2 5 の電位（0 V）に固定されるので、異常検出回路 3 3 は、出力電圧 V_o に基づいて異常状態を確実に検出できる。一方、パッケージテストにおいて、出力端子 2 6 と電源端子 2 5 との間にテスト電圧を印加することにより、抵抗 2 9 の影響を受けることなく MOS トランジスタ 2 8 のドレイン・ソース間のリーク電流のみを測定可能となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日	1996年10月 8日
[変更理由]	名称変更
住 所	愛知県刈谷市昭和町1丁目1番地
氏 名	株式会社デンソー